

PAT-NO: JP401268063A
DOCUMENT-IDENTIFIER: JP 01268063 A
TITLE: MOS TYPE SEMICONDUCTOR DEVICE
PUBN-DATE: October 25, 1989

INVENTOR-INFORMATION:

NAME

AOKI, MASAACKI
SHIGENIWA, MASAHIRO
HONJO, SHIGERU
SASAKI, KATSURO
SHIMOHIGASHI, KATSUHIRO

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP63095529

APPL-DATE: April 20, 1988

INT-CL (IPC): H01L029/78, H01L027/00 , H01L027/08 ,
H01L027/12

US-CL-CURRENT: 257/347

ABSTRACT:

PURPOSE: To eliminate instability of operation due to the fluctuation of a potential in an SOI layer, by forming a source diffused layer of a MOS transistor on the SOI layer so that the source diffused layer is shallower than a drain diffused layer, using the diffused layer that is formed on the surface

of the SOI layer as an electrode for the SOI layer, and fixing the potential of the SOI layer through an Si layer between the source and an insulating layer.

CONSTITUTION: A second conductivity type MOS transistor is formed at a first conductivity type single crystal semiconductor thin film 3 which is formed on a semiconductor substrate 1 through an insulating film 2. A source region 5 of the transistor is shallower than a drain region 4. A first-conductivity type high-concentration impurity region 6 as an electrode which fixes the potential of the single crystal semiconductor thin film 3 is provided at the surface region of said single crystal semiconductor thin film 3. For example, an amorphous Si film is formed on the thermal oxide film 2 on the Si substrate 1 and made to be a single crystal. Thus the SOI layer 3 is formed. The MOS transistor is formed at the surface of the SOI layer 3. At this time, the Si layer 3 is provided between the bottom of the source diffused layer 5 and the oxide film 2 beneath the layer 5 so that the depth from the surface of the source diffused layer 5 is shallow. The SOI electrode layer 6 is formed at the surface of the SOI layer 3.

COPYRIGHT: (C)1989,JPO&Japio

⑫ 公開特許公報(A) 平1-268063

⑤ Int. Cl.⁴H 01 L 29/78
27/00
27/08

識別記号

3 1 1
3 0 1
3 2 1

庁内整理番号

X-8624-5F
A-7514-5F
B-7735-5F※

⑬ 公開 平成1年(1989)10月25日

審査請求 未請求 請求項の数 3 (全5頁)

⑭ 発明の名称 MOS型半導体装置

⑰ 特 願 昭63-95529

⑱ 出 願 昭63(1988)4月20日

⑲ 発 明 者 青 木 正 明 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 茂 庭 昌 弘 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 本 城 繁 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 佐々木 勝 朗 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝 男 外1名

最終頁に続く

明 細 書

1. 発明の名称

MOS型半導体装置

2. 特許請求の範囲

1. 半導体基板上に絶縁膜を介して形成された第1導電型単結晶半導体薄膜に第2導電型MOSトランジスタが形成されており、このトランジスタのソース領域がドレイン領域よりも浅く形成されており、前記単結晶半導体薄膜の表面領域に前記単結晶半導体薄膜の電位を固定する電極用の第1導電型高濃度不純物領域を有することを特徴とするMOS型半導体装置。

2. 前記MOSトランジスタのドレイン領域が前記基板上絶縁膜に接触していることを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 100K以下の温度範囲で動作させることを特徴とする特許請求の範囲第1項及び第2項記載の半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はMOSデバイス構造に係り、特に高速で集積度が高く、アルファ粒子によるソフトエラーが生じにくく、かつ低温動作に適したSOI型デバイス構造に関する。

〔従来の技術〕

従来のSOI (Silicon on Insulator) 構造MOSデバイスの例としては、Technical Digest of 1983 IEDM, 364頁から367頁のKawanuraらによる“3-Dimensional SOI/cMOS IC's Fabricated by Beam Recrystallization”と題する文献に記載されているMOSトランジスタがある。

〔発明が解決しようとする課題〕

このような従来構造SOI型MOSトランジスタはSOI層がフローティングになっているので、SOI層電位が変動しIV特性にキックが発生するとの問題があった。この従来構造デバイスを100K以下の低温で動作させると、キャリアの衝突によってSi原子をイオン化する確率が増し基板電流が増加するので、上記SOI層電位の変

動がより生じやすいとの問題があった。

本発明の目的はこのような従来型SOI構造MOSデバイスのSOI層電位変動の問題を解消することにある。

〔課題を解決するための手段〕

上記目的を達成するために、本発明構造ではSOI層上のMOSトランジスタのソース拡散層をドレイン拡散層よりも浅く形成して、下方の絶縁層と拡散層間にSi層を介在させた(第1図(a)、(b)参照)。ここで第1図(a)はゲート長方向の断面図であり、第1図(b)はゲート幅方向の断面図である。SOI層表面に形成した拡散層をSOI層電極として、上記ソース、絶縁層間Si層を通じてSOI層電位を固定することにした。

〔作用〕

本発明構造はソース拡散層を浅くして、この拡散層と下方の絶縁層間のSi層を通してSOI層電位を固定することにしたので、従来型SOI構造デバイスで発生したSOI電位変動による不安

定動作を解消することができた。第2図にIV特性結果を示すが、本発明では従来生じていたIVカーブのキンクを解消できた。

また、本発明構造MOSトランジスタのドレイン拡散層は従来デバイスと同様に、下方の絶縁層に接しているので、SOI構造デバイスの長所である次の2点は本発明でもそのまま保持されている。すなわちcMOS回路の出力容量を低減でき、アルファ粒子によつて基板中に発生する雑音電荷の、記憶ノードへの流入を絶縁層バリアによつて低減できる。

〔実施例〕

以下、本発明の第1の実施例を第1図(a)および(b)により説明する。第1図(a)において、1はSi基板、2は熱酸化膜である。3がSOI層であり以下のプロセス工程によつて形成される。まずフォトリソグラフィーによつて熱酸化膜2にシード領域となる開口部を形成する。次にこの基板上に超高真空中で電子ビーム加熱蒸着法により 16 Å/SEC の堆積速度でSiを堆積し、

厚さ $0.3 \sim 0.5 \mu\text{m}$ の非品質Si膜を形成する。その後、乾燥窒素ガス中で 600°C の熱処理を行なつて、シード領域からの固相エピタキシャル成長により基板上の非品質Si膜を単結晶化する。この後は通常のMOS製造プロセスを用いて厚さ $0.3 \sim 0.5 \mu\text{m}$ の単結晶SOI層3の表面にMOSトランジスタを作成する。本実施例では先ずフィールド酸化膜17をLOCOS法で形成し、次いでボロンをSOI層にイオン注入して熱処理し、p型層とする。次いで熱酸化膜7を形成してゲート酸化膜とし、その上に燐を高濃度に含む多結晶シリコン層8をCVD法で堆積し、リソグラフィー技術でパターンニングしてゲート電極とする。次にひ素(As)を $50 \sim 150 \text{ KeV}$ で $10^{15} \sim 10^{16} \text{ cm}^{-2}$ の量SOI層3の表面に打ち込みドレイン拡散層4とする。また同じくひ素を $10 \sim 100 \text{ KeV}$ で $10^{15} \sim 10^{16} \text{ cm}^{-2}$ の量、SOI層3の表面に打ち込みソース拡散層5とする。この後熱処理を行ない、拡散層4、5の不純物を活性化する。以上の工程で形成するソースお

よびドレイン拡散層については、ソース拡散層のSi表面からの深さがドレイン拡散層の深さよりも浅く、かつソース拡散層5の底とその下の酸化膜2の間には前記固相エピタキシャル成長によつて単結晶化したSi層3が介在するようにする。ソース拡散層と下地酸化膜の間の距離は $0.1 \mu\text{m}$ 以上とする。続いて、ボロンを $10 \sim 50 \text{ KeV}$ で $10^{15} \sim 10^{16} \text{ cm}^{-2}$ の量、SOI層3の表面に打ち込んでSOI電極層6とする。

第1図(a)は本発明のゲート長方向断面図であり、第1図(b)は本発明構造のゲート幅方向断面図である。17は素子絶縁分離用のフィールド酸化膜である。薄いSOI層3表面に形成されたフィールド酸化膜17は通常、下地酸化膜2に接している。このためソース拡散層5が下地酸化膜2に接している従来構造のSOIMOSトランジスタでは、ゲート下方でMOSトランジスタ基板となるSOI部3が他から絶縁分離されていた。このためSOI部3の電位がクロウティングになり、トランジスタ動作時に基板電位が変動して

IVカーブにキックを生じていた。これを回避するにはSOI部3の電位を固定する必要がある。

本実施例によれば、ソース拡散層5と酸化膜2の間にSi層3が介在しており、p⁺拡散層6を電極として該Si層を通してMOSトランジスタの基板となるSOI部3の電位を固定できた。本実施例構造MOSトランジスタで得たIV特性結果を従来デバイスと比較して第2図に示す。本発明ではSOI電位を固定できたので従来生じていたIVカーブのキックを解消できた。また100K以下の低温でも、安全に動作した。また本発明構造MOSトランジスタのドレイン4は下方の酸化膜2に接しており従来型デバイス同様にドレイン端子での拡散層容量が小さいとの利点をもつ。

本発明の第2の実施例を第3図により説明する。第2の実施例は本発明をcMOSデバイスに適用したものである。第3図において、9はSOI層に磷をイオン注入して形成したnウエルであり、10はボロンを10~50KeVで $10^{15} \sim 10^{16} \text{ cm}^{-2}$ の量、SOI9の表面に打ち込んで形成した

pMOSトランジスタのドレイン拡散層であり、11はこれよりもやや低いエネルギーでほぼ同量のボロンを打ち込んで形成したソース拡散層である。nMOSトランジスタのpウエル3、ドレイン4、ソース5の形成法は第1の実施例と同じである。ここでn、p両MOSトランジスタのソース拡散層はドレイン拡散層よりも浅く形成し、かつソース拡散層と熱酸化膜2の間にはpウエル領域3(nMOS)またnウエル領域9(pMOS)を介在させる。ソース拡散層と熱酸化膜間の距離は0.1 μm 以上とする。6はpウエル電位を固定するためのp⁺拡散層、12はnウエル電位を固定するためのn⁺拡散層である。13はn、p両ウエルを電気的絶縁分離する溝型領域で多結晶ポリシリコンよりなる。14、15は該溝型領域を被覆するところのSi酸化膜とSi窒化膜である。このような構造のcMOSデバイスにおいて、拡散層5と6を結線して接地電位に接続し、拡散層11と12を結線して電源電圧に接続し、n、p両MOSのゲート電極8と16を結線して入力

端子として、n、p両MOSのドレイン4と10を結線して出力端子とすればcMOSインバータを構成することができる。

本実施例によれば、pウエル電位とnウエル電位がソース拡散層下方のSi層を通じて、それぞれp⁺拡散層6とn⁺拡散層12によつて固定できた。従来構造ではソース拡散層5が下地酸化膜2に接しており、SOI層pウエル3とnウエル9が他から絶縁分離されていた。このためSOI層ウエル3、9の電位がフローティングになり、トランジスタ動作時に基板電位が変動して、IVカーブにキックを生じていた。本実施例ではこの問題を回避するため、両ウエルの電位を固定した。この結果、従来デバイスで発生していたSOI層電位の変動による動作不安定を解消できた。この効果は特に100K以下の低温で顕著であった。また、n、p両MOSのドレイン拡散層は下方の酸化膜2に接しており、そのためcMOSインバータの出力容量は、バルクcMOSに比べてかなり小さいとの利点をもっている。さらに、アルフ

ア粒子の照射によつて基板中に生成した価高電荷のドレイン拡散層への流入が酸化膜2によつて阻止されるのでソフトエラーが発生しにくいとの利点も有している。

本発明の第3の実施例を第4図により説明する。第3の実施例は本発明を3次元cMOSデバイスに適用したものである。第4図において、1はn型(110)Si基板、2はn型ウエルで、pMOSトランジスタが3、4なるp型高濃度不純物領域をそれぞれドレイン、ソースとし、かつSiO₂膜6をゲート酸化膜、ポリSi層7をゲート電極として形成されている。5はnウエル電極用のn⁺拡散層である。8は厚さ800nmのPSG膜、15は厚さ100nmのSi₃N₄膜である。9はポリSi層をCW-Arレーザー光によつてアニールして再結晶化したSi層である。ポリSi層9はSi₃N₄層15上にLPCVD法により堆積して形成する(厚さ400~450nm)。これにCW-Arレーザーを照射して再結晶化したが、このときのレーザー光パワーは4~5W、スポ

ットサイズは $40\mu\text{m}$ 、スキャン速度は 12cm/s で、基板温度は 450°C に設定する。再結晶Si層9はSi₃N₄膜15との界面の自由エネルギーが最小となるように成長して、(100)面方位をとる。この再結晶層9上にnMOSTランジスタを作成する方法は実施例1の場合と同様である。nMOSTランジスタは10、11なるn型高濃度不純物領域をそれぞれドレイン、ソースとし、13をゲート酸化膜、ポリSi層14をゲート電極として形成される。12は再結晶層(SOI層)9の電極用のp⁺拡散層である。ここでソース拡散層11とSi₃N₄膜15の間には幅 $0.1\mu\text{m}$ 以上の距離をもたせてSi層を介在させる。電極12は該Si層を通じてSOI9の電位を固定する。

本実施例によれば、SOIデバイスの特長を保ちながらSOIMOSTランジスタの基板となる再結晶層9の電位を固定できた。これにより第1、第2の実施例と同様に、従来デバイスで問題であった基板電位変動による動作不安定性を解消でき

た。

〔発明の効果〕

本発明によれば、SOI層上に作成したMOSTランジスタの基板電位(SOI電位)をソース、下地酸化膜間に介在させたSi層を通して、SOI表面上に設けた電極で固定できる。このため従来型SOI構造デバイスの問題点であった、SOI層電位変動による動作不安定を解消できた。また、本発明構造ではドレイン拡散層を下地酸化膜に接触させているので、ドレイン拡散容量が小さくまた逆方向リーク電流も小さい。さらに、該下地酸化膜によつてアルファ粒子が基板中に生成した雑音電荷のドレイン拡散層への流入を阻止できる。

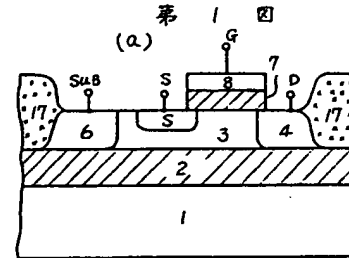
4. 図面の簡単な説明

第1図(a)および(b)は本発明の第1の実施例を示す図、第2図は本発明デバイスのI-V特性を示す図、第3図及び第4図は本発明の第3及び第4の実施例を示す図である。

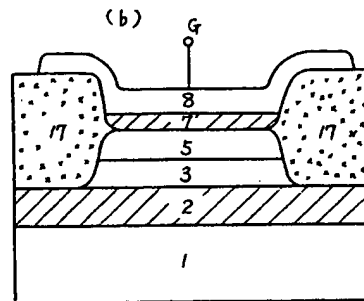
1…Si基板、2…酸化膜、3…SOI層、4…ソース、5…ドレイン、6…SOI電極、7…ゲ

ート酸化膜、8…ゲート電極、17…フィールド酸化膜。

代理人 井理士 小川勝男

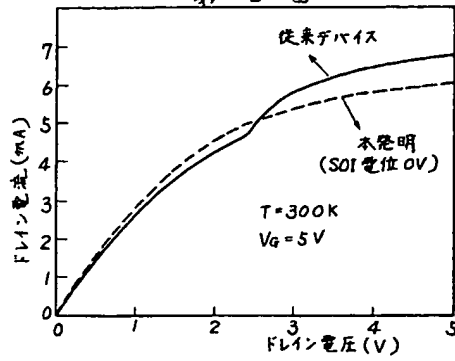


第1図
(a)
1…Si基板
2…酸化膜
3…SOI層(P型)
4…ドレイン拡散層
5…ソース拡散層
6…SOI電極(P⁺)
7…ゲート酸化膜
8…ゲート電極
17…フィールド酸化膜

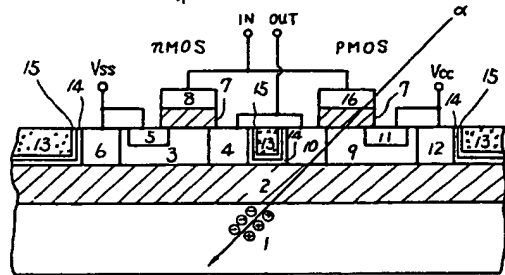


(b)
1…Si基板
2…酸化膜
3…SOI層
5…ソース拡散層
7…ゲート酸化膜
8…ゲート電極
17…フィールド酸化膜

第 2 図

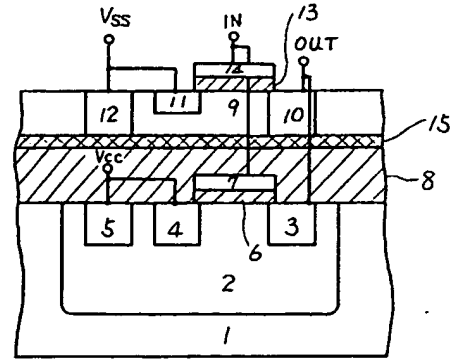


第 3 図



- | | | |
|--------------|---------------|----------------|
| 1...Si基板 | 7...ゲート酸化膜 | 13...素子分離用溝型 |
| 2...Si酸化膜 | 8...PMOSゲート電極 | 14...Si酸化膜 |
| 3...SOI中Pウェル | 9...SOI中nウェル | 15...Si酸化膜 |
| 4...PMOSドレイン | 10...PMOSドレイン | 16...PMOSゲート電極 |
| 5...PMOSソース | 11...PMOSソース | |
| 6...Pウェル電極層 | 12...nウェル電極層 | |

第 4 図



- | |
|---------------------------------------|
| 1...Si基板 |
| 2...nウェル |
| 3...PMOSトランジスタドレイン |
| 4...PMOSトランジスタソース |
| 5...nウェル電極 |
| 6...PMOSゲート酸化膜 |
| 7...PMOSゲート |
| 8...PSG膜 |
| 9...再結晶Si層(SOI) |
| 10...PMOSドレイン |
| 11...PMOSソース |
| 12...SOI層電極 |
| 13...PMOSゲート酸化膜 |
| 14...PMOSゲート |
| 15...Si ₃ N ₄ 膜 |

第 1 頁の続き

⑤Int. Cl.⁴

H 01 L 27/12

識別記号

庁内整理番号

7514-5F

⑦発明者 下 東 勝 博

東京都国分寺市東恋ヶ窪 1 丁目 280 番地 株式会社日立製作所中央研究所内